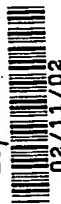


14

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c971 U.S. PTO
10/068879



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 2月27日

出 願 番 号

Application Number:

特願2001-052198

出 願 人

Applicant(s):

セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3109645

【書類名】 特許願

【整理番号】 PA04D990

【提出日】 平成13年 2月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 内藤 恵二郎

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100096817

【弁理士】

【氏名又は名称】 五十嵐 孝雄

【電話番号】 052-218-5061

【選任した代理人】

【識別番号】 100097146

【弁理士】

【氏名又は名称】 下出 隆史

【選任した代理人】

【識別番号】 100102750

【弁理士】

【氏名又は名称】 市川 浩

【選任した代理人】

【識別番号】 100109759

【弁理士】

【氏名又は名称】 加藤 光宏

【手数料の表示】

【予納台帳番号】 007847

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9502061

【包括委任状番号】 9904030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶デバイス、画像処理装置、及びこれらを備える画像表示装置、並びに、信号入力方法及び画像処理方法

【特許請求の範囲】

【請求項 1】 複数の画素を有する液晶デバイスであって、
前記複数の画素に対応して与えるべき複数の画素信号を含む表示信号であって、前記表示信号中の、前記画素信号が含まれない所定の期間に、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号が埋め込まれた表示信号を入力する入力端子を備える、

液晶デバイス。

【請求項 2】 請求項 1 記載の液晶デバイスであって、
前記所定の期間は、水平走査期間中の有効水平走査期間を除く期間の一部の期間である、液晶デバイス。

【請求項 3】 請求項 2 記載の液晶デバイスであって、
前記所定の期間は、垂直走査期間中の有効垂直走査期間を除く期間の一部の期間である、液晶デバイス。

【請求項 4】 請求項 1 ないし請求項 3 のいずれかに記載の液晶デバイスであって、

前記複数の画素に共通に接続される共通信号線と、
前記入力端子から入力される前記表示信号に含まれる前記所定の信号に基づいて前記共通信号を生成して、生成された前記共通信号を前記共通信号線に供給する共通信号線駆動回路と、
を備える液晶デバイス。

【請求項 5】 請求項 4 記載の液晶デバイスであって、
前記共通信号線駆動回路は、前記入力端子から入力される前記表示信号に含まれる前記所定の信号をサンプリングし、サンプリングされた前記所定の信号を前記共通信号として出力するサンプル／ホールド回路である、液晶デバイス。

【請求項 6】 請求項 5 記載の液晶デバイスであって、
前記複数の画素を選択するための複数行の走査線および複数列の信号線と、

前記複数行の走査線の並び順に従って、前記複数行の走査線にそれぞれ対応する走査信号を供給する走査線駆動回路と、

前記複数列の信号線の並び順に従って、前記複数列の信号線にそれぞれ対応する表示信号をサンプリングし、サンプリングした表示信号をそれぞれ対応する信号線に供給するための信号線駆動回路と、を備え、

前記信号線駆動回路は、前記所定の信号をサンプリングするためのサンプル／ホールド信号を前記共通信号線駆動回路に供給する、液晶デバイス。

【請求項 7】 請求項 5 記載の液晶デバイスであって、

前記複数の画素を選択するための複数行の走査線および複数列の信号線と、

前記複数行の走査線の並び順に従って、前記複数行の走査線にそれぞれ対応する走査信号を供給する走査線駆動回路と、

前記複数列の信号線の並び順に従って、前記複数列の信号線にそれぞれ対応する表示信号をサンプリングし、サンプリングした表示信号をそれぞれ対応する信号線に供給するための信号線駆動回路と、を備え、

前記走査線駆動回路は、前記所定の信号をサンプリングするためのサンプル／ホールド信号を共通信号線駆動回路に供給する、液晶デバイス。

【請求項 8】 複数の画素を有する液晶デバイスに入力させるべき表示信号を生成する画像処理装置であって、

入力される画像信号を変換して、前記液晶デバイスの前記複数の画素に対応して与えるべき複数の画素信号を生成する画像信号変換回路と、

前記複数の画素信号と、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号とを合成して 1 つの前記表示信号を生成する表示信号生成回路と、

を備える画像処理装置。

【請求項 9】 画像表示装置であって、

複数の画素を有する液晶デバイスと、

前記液晶デバイスに入力させるべき表示信号を生成する画像処理装置と、を備え、

前記液晶デバイスは、

前記複数の画素に対応して与えるべき複数の画素信号を含む表示信号であって、前記表示信号中において、前記画素信号が含まれない所定の期間に、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号が埋め込まれた表示信号を入力する入力端子を備え、

前記画像処理装置は、

入力される画像信号を変換して、前記液晶デバイスの前記複数の画素に対応して与えるべき複数の画素信号を生成する画像信号変換回路と、

前記複数の画素信号と、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号とを合成して1つの前記表示信号を生成する表示信号生成回路と、

を備える画像表示装置。

【請求項10】 請求項9記載の画像表示装置であって、

前記画像処理装置は、前記共通信号生成回路によって生成される前記所定の信号に含まれるデータ値を調整する調整制御回路を備える、画像表示装置。

【請求項11】 複数の画素を有し、前記複数の画素に対応して与えるべき複数の画素信号を含む表示信号が入力される液晶デバイスに、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号を入力する入力方法であって、

前記表示信号中の、前記画素信号が含まれない所定の期間に、前記所定の信号を埋め込んで前記表示信号の一部として入力する、入力方法。

【請求項12】 複数の画素を有する液晶デバイスに入力すべき表示信号を生成するための画像処理方法であって、

入力される画像信号を変換して、前記液晶デバイスの前記複数の画素に対応して与えるべき複数の画素信号を生成し、

前記複数の画素信号と、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号とを合成して1つの前記表示信号を生成する、

画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、液晶デバイスの各画素に共通に供給される共通信号の生成技術に関する。

【0002】

【従来の技術】

画像を形成するための電気光学デバイスとして液晶パネルが多く利用されている。液晶パネルは、各画素を形成する液晶に表示信号に応じた電圧を印加して各画素の光の透過率を制御することにより、表示信号に応じた画像を形成するための電気光学デバイスである。

【0003】

従来の液晶パネルは、表示信号とは別に表示信号のレベルの基準を示す共通信号を専用に設けられた入力端子を介して入力する構成がとられている。従って、従来の液晶パネルを利用して画像表示装置等の電子機器を構成する場合、共通信号を生成するための共通信号生成回路が設けられる。

【0004】

また、共通信号の信号レベルは、デバイスに依存して異なるオフセットを有している。このため、共通信号生成回路としては、通常、発生するオフセットに応じて共通信号の信号レベルを調整できるような構成がとられている。

【0005】

【発明が解決しようとする課題】

しかし、液晶パネルの信頼性の向上や製造コストの低減を考慮した場合、外部から供給される信号の入力端子を削減することが望まれている。

【0006】

また、液晶パネルを利用して構成される電子機器の信頼性の向上、小型化、簡略化、および製造コストの低減を考慮した場合、共通信号生成回路を省略することも望まれている。

【0007】

この発明は、従来技術における上述の課題を解決するためになされたものであり、液晶パネルの信頼性の向上を図るとともに、液晶パネルを適用した電子機器

の信頼性の向上、小型化、簡略化、および製造コストの低減を図ることが可能な技術を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の液晶デバイスは、複数の画素を有する液晶デバイスであって、

前記複数の画素に対応して与えるべき複数の画素信号を含む表示信号であって、前記表示信号中の、前記画素信号が含まれない所定の期間に、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号が埋め込まれた表示信号を入力する入力端子を備えることを特徴とする。

【 0 0 0 9 】

本発明の液晶デバイスは、複数の画素に対応して与えるべき複数の画素信号を含む表示信号中に、複数の画像に共通に与えるべき共通信号を生成するための所定の信号を埋め込んで入力することができるので、従来の液晶デバイスにおいて専用に設けられていた共通信号を入力するための入力端子を省略することが可能である。これにより、液晶デバイスの信頼性の向上を図ることができる。

【 0 0 1 0 】

ここで、前記所定の期間は、水平走査期間中の有効水平走査期間を除く期間の一部の期間であることが好ましい。あるいは、前記所定の期間は、垂直走査期間中の有効垂直走査期間を除く期間の一部の期間であることも好ましい。

【 0 0 1 1 】

上記いずれの期間も、表示信号中において複数の画素信号が含まれない期間であるので、共通信号を生成するための所定の信号を表示信号中に容易に埋め込むことが可能である。

【 0 0 1 2 】

上記発明の液晶デバイスは、

前記複数の画素に共通に接続される共通信号線と、

前記入力端子から入力される前記表示信号に含まれる前記所定の信号に基づいて前記共通信号を生成して、生成された前記共通信号を前記共通信号線に供給す

る共通信号線駆動回路と、を備えることが好ましい。

【0013】

こうすれば、共通信号線駆動回路によって、複数の画素に共通信号線を介して共通信号を容易に供給することができる。

【0014】

なお、前記共通信号線駆動回路は、前記入力端子から入力される前記表示信号に含まれる前記所定の信号をサンプリングし、サンプリングされた前記所定の信号を前記共通信号として出力するサンプル／ホールド回路により容易に構成することが可能である。

【0015】

ここで、前記複数の画素を選択するための複数行の走査線および複数列の信号線と、

前記複数行の走査線の並び順に従って、前記複数行の走査線にそれぞれ対応する走査信号を供給する走査線駆動回路と、

前記複数列の信号線の並び順に従って、前記複数列の信号線にそれぞれ対応する表示信号をサンプリングし、サンプリングした表示信号をそれぞれ対応する信号線に供給するための信号線駆動回路と、を備え、

前記信号線駆動回路は、前記所定の信号をサンプリングするためのサンプル／ホールド信号を前記共通信号線駆動回路に供給することが好ましい。

【0016】

こうすれば、水平走査期間中の有効水平走査期間を除く期間中に、所定の信号をサンプリングするためのサンプル／ホールド信号を共通信号線駆動回路に容易に供給することが可能である。

【0017】

また、前記複数の画素を選択するための複数行の走査線および複数列の信号線と、

前記複数行の走査線の並び順に従って、前記複数行の走査線にそれぞれ対応する走査信号を供給する走査線駆動回路と、

前記複数列の信号線の並び順に従って、前記複数列の信号線にそれぞれ対応す

る表示信号をサンプリングし、サンプリングした表示信号をそれぞれ対応する信号線に供給するための信号線駆動回路と、を備え、

前記走査線駆動回路は、前記所定の信号をサンプリングするためのサンプル／ホールド信号を共通信号線駆動回路に供給するようにしてもよい。

【 0 0 1 8 】

こうすれば、垂直走査期間中の有効垂直査期間を除く期間中に、所定の信号をサンプリングするためのサンプル／ホールド信号を共通信号線駆動回路に容易に供給することが可能である。

【 0 0 1 9 】

また、本発明の画像処理装置は、

複数の画素を有する液晶デバイスに入力させるべき表示信号を生成する画像処理装置であって、

入力される画像信号を変換して、前記液晶デバイスの前記複数の画素に対応して与えるべき複数の画素信号を生成する画像信号変換回路と、

前記複数の画素信号と、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号とを合成して1つの前記表示信号を生成する表示信号生成回路と、

を備えることを特徴とする。

【 0 0 2 0 】

本発明の画像処理装置によれば、本発明の液晶デバイスに入力させるべき表示信号を容易に生成することが可能である。

【 0 0 2 1 】

また、本発明の画像表示装置は、

複数の画素を有する液晶デバイスと、

前記液晶デバイスに入力させるべき表示信号を生成する画像処理装置と、を備え、

前記液晶デバイスは、

前記複数の画素に対応して与えるべき複数の画素信号を含む表示信号であって、前記表示信号中において、前記画素信号が含まれない所定の期間に、前記複数

の画素に共通に与えるべき共通信号を生成するための所定の信号が埋め込まれた表示信号を入力する入力端子を備え、

前記画像処理装置は、

入力される画像信号を変換して、前記液晶デバイスの前記複数の画素に対応して与えるべき複数の画素信号を生成する画像信号変換回路と、

前記複数の画素信号と、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号とを合成して1つの前記表示信号を生成する表示信号生成回路と、

を備えることを特徴とする。

【 0 0 2 2 】

本発明の画像表示装置は、本発明の液晶デバイスおよび画像処理装置を適用することにより構成されているので、液晶デバイスの信頼性の向上に伴って画像表示装置の信頼性の向上を図ることが可能である。また、従来において必要であった共通信号生成回路を省略することが可能であるので、これに伴って画像表示装置の信頼性の向上、装置の小型化、簡略化、および製造コストの低減を図ることが可能である。

【 0 0 2 3 】

なお、上記画像表示装置において、

前記画像処理装置は、前記共通信号生成回路によって出力される前記所定の信号に含まれるデータ値を調整する調整制御回路を備えることが好ましい。

【 0 0 2 4 】

こうすれば、液晶デバイスに依存して変化する共通信号の値を容易に調整することが可能である。

【 0 0 2 5 】

なお、本発明は、種々の形態で実現することが可能であり、例えば、液晶デバイス、画像処理装置、画像表示装置、液晶デバイスの複数の画素に共通に与えるべき共通信号を生成するための所定の信号を入力する入力方法、液晶デバイスに入力すべき表示信号を生成するための画像処理方法の他種々の形態で実現することができる。

【0026】

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づいて以下の手順で説明する。

A. 液晶パネルの構成および動作：

A 1. 液晶パネルの第1実施例：

A 2. 液晶パネルの第2実施例：

B. 液晶パネルを適用した画像表示装置の構成および動作：

B 1. 画像表示装置の第1実施例：

B 2. 画像表示装置の第2実施例：

C. 変形例：

【0027】

A. 液晶パネルの構成および動作：

A 1. 液晶パネルの第1実施例：

図1は、本発明の第1実施例としての液晶パネルの電氣的な構成を示す概略回路図である。この液晶パネル10は、画像表示部100と、信号線駆動回路200と、サンプリング回路300と、共通信号線駆動回路400と、走査線駆動回路500とを備えている。また、液晶パネル10は、外部からアナログの表示信号VINと、タイミング信号としての垂直同期信号VRST、水平同期信号HRST、垂直クロック信号VCLK、水平クロック信号子HCLKとを入力する入力端子を有している。なお、この液晶パネル10は、プリチャージ回路等の本発明に必須の要件でない回路や、電源入力端子等の入力端子の図示を省略して示している。以下の説明では、入力端子名と信号線名と信号名とに同じ符号を用いて説明する。

【0028】

画像表示部100は、水平方向に伸びるn本（nは2以上の整数）の走査線SL（SL1～SLn）と、これに垂直に伸びるm本（mは2以上の整数）の信号線DL（DL1～DLm）とによって構成されるマトリクス配線を有している。マトリクス配線の各交点にはそれぞれ画素PEが設けられている。

【0029】

画像表示部 1 0 0 の各画素 P E は、画素選択用の T F T (Thin Film Transistor) 1 1 0 と、図示しない液晶セルを有する液晶画素 1 2 0 とで構成されている。T F T 1 1 0 のゲート電極 (G) は対応する走査線 S L に接続され、ドレイン電極 (D) は対応する信号線 D L に接続され、ソース電極 (S) は液晶画素 1 2 0 の画素電極 1 2 1 に接続されている。液晶画素 1 2 0 は、画素電極 1 2 1 と、対向電極 1 2 2 と、画素電極 1 2 1 および対向電極 1 2 2 の間に挟まれた液晶とで構成されている。対向電極 1 2 2 は共通信号線 V C O M に接続されている。従って、n 行 m 列に配列された全ての画素 P E は液晶画素 1 2 0 の対向電極 1 2 2 を介して共通信号線 V C O M に接続されている。

【 0 0 3 0 】

n 行の走査線 S L は、走査線駆動回路 5 0 0 に接続されている。また、m 列の信号線 D L は、サンプリング回路 3 0 0 を介して表示信号線 V I N に接続されている。共通信号線 V C O M は、共通信号線駆動回路 4 0 0 を介して表示信号線 V I N に接続されている。

【 0 0 3 1 】

サンプリング回路 3 0 0 は、各データ線 D L に対応するスイッチ S W (S W 1 ~ S W m) を備えている。スイッチ S W は、例えば T F T のような半導体素子により構成される。各スイッチ S W のドレイン電極 (D) は、表示信号線 V I N に共通に接続され、各ソース電極 (S) はそれぞれ対応する信号線 D L に接続され、各ゲート電極 (G) はそれぞれ対応するサンプリング信号線 G S (G S 1 ~ G S m) を介して信号線駆動回路 2 0 0 に接続されている。サンプリング回路 3 0 0 は信号線駆動回路 2 0 0 から供給される各サンプリング信号 G S に基づいて、表示信号 V I N をサンプリングして各信号線 D L に供給する機能を有する。

【 0 0 3 2 】

共通信号線駆動回路 4 0 0 は、スイッチ 4 1 0 とコンデンサ 4 2 0 とバッファアンプ 4 3 0 とを備えるサンプル/ホールド回路である。スイッチ 4 1 0 は、サンプリング回路 3 0 0 のスイッチ S W と同様に半導体素子で構成される。スイッチ 4 1 0 のドレイン電極 (D) は表示信号線 V I N に接続され、ソース電極 (S) はコンデンサ 4 2 0 の一方の端子およびバッファアンプ 4 3 0 の入力端子に接

続されている。スイッチ 4 1 0 のゲート電極 (G) は、サンプル／ホールド駆動信号線 S H を介して信号線駆動回路 2 0 0 に接続されている。コンデンサ 4 2 0 の他方の端子は接地されている。共通信号線駆動回路 4 0 0 は、後述するようにサンプル／ホールド駆動信号 S H に基づいて表示信号 V I N をサンプル／ホールドして、共通信号 V C O M を生成する。

【 0 0 3 3 】

走査線駆動回路 5 0 0 は、後述するように垂直同期信号 V R S T および垂直クロック信号 V C L K に基づいて、所定のタイミングで各走査線 S L に走査線信号 (パルス信号) を線順次で印加する。

【 0 0 3 4 】

信号線駆動回路 2 0 0 は、後述するように水平同期信号 H R S T および水平クロック信号 H C L K に基づいて、走査線駆動回路 5 0 0 が各走査線 S L に走査信号を印加するタイミングに合わせて、各サンプリング信号線 G S にサンプリング信号 (パルス信号) を線順次で印加する。また、サンプル／ホールド駆動信号線 S H にサンプル／ホールド駆動信号 (パルス信号) を印加する。なお、サンプリング回路 3 0 0 と信号線駆動回路 2 0 0 とが本発明の信号線駆動回路に相当する。

【 0 0 3 5 】

図 2 は、液晶パネル 1 0 の走査線駆動回路 5 0 0 の動作を示すタイミングチャートである。タイミング信号としての垂直同期信号 V R S T、垂直クロック信号 V C L K、水平同期信号 H R S T、水平クロック信号 H C L K は、図 2 (a) ～ (d) に示すようなタイミングで入力される。図 2 (a) の垂直同期信号 V R S T は、垂直走査の開始タイミングを示す周期信号である。立下りエッジで始まるパルス信号の 1 周期が 1 フレームの画像を表示するための垂直走査周期 (垂直走査期間) V を示している。

【 0 0 3 6 】

図 2 (b) の垂直クロック信号 V C L K は、垂直同期信号 V R S T に同期するクロック信号であり、走査線駆動回路 5 0 0 の動作タイミング、すなわち、各走査線 S L の駆動周期を示している。なお、本明細書において「同期する」とは、

2つの信号が一定の位相を保って変化することを意味する。

【0037】

垂直クロック信号VCLKの立ち上がりエッジで始まるパルス信号の周期は1つの走査線SLの駆動期間、すなわち、水平走査期間（水平走査周期）Hを示している。本例の垂直走査期間Vは、 $(8+n)$ 回の水平走査期間H、すなわち、期間 $(8+n)H$ に等しくなるように設定されている。なお、以下では、1番目の水平走査周期期間を「1H期間」、2番目の水平走査周期期間を「2H期間」、… $(8+n)$ 番目の水平走査周期期間を「 $(8+n)H$ 期間」のように呼ぶ。

【0038】

図2(c)の水平同期信号HRSTは、図2(b)の垂直クロック信号VCLKとほぼ同じタイミングで立ち上がるパルス信号である。この水平同期信号HRSTは、後述するように水平走査の開始タイミングを示す周期信号である。水平同期信号HRSTは、通常、垂直クロック信号VCLKに比べてハイレベルのパルス幅が狭く設定されている。

【0039】

図2(d)の水平クロック信号HCLKは、水平同期信号HRSTに同期するクロック信号であり、後述するように信号線駆動回路200の動作タイミング、すなわち、各信号線DLの駆動タイミングを示している。なお、垂直クロック信号VCLKおよび水平同期信号HRSTは、どちらか一方を省略することも可能である。

【0040】

表示信号VINには、図2(e)に示すように、各垂直走査期間Vのうち、6H期間から $(5+n)H$ 期間までの期間EV（以下、「有効垂直走査期間」とも呼ぶ）において、各走査線SLによって駆動される画素に供給される信号が供給される。なお、表示信号VINとして供給される信号は、後述する水平同期信号HRSTおよび水平クロック信号HCLKとに同期して供給される。

【0041】

走査線駆動回路500は、図2(f-1)～(f-n)に示すように、有効垂直走査期間EVの各水平走査周期期間6H～ $(5+n)H$ において、走査線信号

としてハイレベルとなるパルス信号をそれぞれ対応する走査線SL (SL1～SLn) に線順次 to 供給する。なお、走査線駆動回路500は、垂直クロック信号VCLKをシフトクロックとするシフトレジスタにより容易に構成することができる。

【0042】

図3は、液晶パネル10の信号線駆動回路200および共通信号線駆動回路400の動作を示すタイミングチャートである。このタイミングチャートは、図2の6番目の水平走査周期期間である6H期間を拡大して示している。図3(a)および(b)は、図2(c)および(d)の水平同期信号HRSTおよび水平クロック信号HCLKを示している。また、図3(c)は、図2(e)の表示信号VINを示している。

【0043】

図3(c)に示す水平クロック信号HCLKの立ち下がりエッジで始まるパルス信号の周期は、1つの信号線DLの駆動周期、すなわち、画素周期Tを示している。本例の水平走査期間Hは、 $(4+m)$ 回の画素周期T、すなわち、期間 $(4+m)T$ に等しくなるように設定されている。なお、以下では、1番目の画素周期期間を「1T期間」、2番目の画素周期期間を「2T期間」、… $(4+m)$ 番目の画素周期期間を「 $(4+m)T$ 期間」のように呼ぶ。

【0044】

表示信号VINとしては、図3(c)に示すように、4T期間から $(3+m)T$ 期間までの期間EH(以下、「有効水平走査期間」とも呼ぶ)において、各信号線DL(DL1～DLm)に供給される信号P1～Pmが水平クロック信号HCLKに同期して供給される。

【0045】

また、表示信号VINとしては、2T期間から3T期間までの期間(以下、「共通信号生成期間」とも呼ぶ)において、共通信号VCOMに相当する信号COMが水平クロック信号HCLKに同期して供給される。

【0046】

信号線駆動回路200は、図3(d)に示すように、サンプル/ホールド駆動

信号線SHに、共通信号生成期間においてハイレベルとなるパルス信号を供給する。このとき、共通信号線駆動回路400は、表示信号線VINとして供給されている信号COMの信号レベルをサンプリングして、図3(f)に示すように共通信号VCOMとして出力する。そして、サンプル/ホールド駆動信号SHがローレベルの期間、すなわち、サンプル/ホールド駆動信号SHがハイレベルになるまでの期間において、共通信号VCOMの信号レベルをサンプリングされた信号COMの表す信号レベルで保持するように動作する。

【0047】

また、信号線駆動回路200は、図3(e-1)～(e-m)に示すように、有効水平走査期間EHの各画素周期期間 $4T \sim (3+m)T$ において、サンプリング信号としてハイレベルとなるパルス信号をそれぞれ対応するサンプリング信号線GS(GS1～GSm)に線順次に供給する。これにより、有効水平走査期間EH内の各画素周期期間ごとに表示信号線VINに供給されている信号P1～Pmが、それぞれ対応する信号線DL1～DLmに線順次に供給される。なお、信号線駆動回路200は、水平クロック信号HCLKをシフトクロックとするシフトレジスタにより容易に構成することができる。

【0048】

以上のようにして、走査線駆動回路500および信号線駆動回路200によって選択された走査線SLおよび信号線DLに接続されている画素PEがアクティブ状態となる。このとき、アクティブ状態となった画素PEにサンプリング回路300を介して供給された表示信号VINが、液晶画素120の画素電極121に印加される。また、共通信号線駆動回路400を介して供給された共通信号VCOMが、液晶画素120の対向電極122に印加される。そして、これら2つの電極121、122間の電位差に応じて、液晶画素120が動作する。これにより、画像表示部100において、供給される表示信号に応じた画像の表示が可能となる。

【0049】

以上説明したように、この液晶パネル10は、有効水平走査期間EHの開始直前の画素周期期間である $2T$ 期間および $3T$ 期間（共通信号生成期間）において

、共通信号VCOMに相当する信号COMが表示信号入力端子VINを介して供給されると、これを共通信号線駆動回路400においてサンプル／ホールドすることにより、各画素PEに供給する共通信号VCOMを生成している。従って、この液晶パネル10は、従来の液晶パネルのように、専用に設けられた入力端子から共通信号VCOMを供給する必要がないので、入力端子を削減することができる。これにより、デバイスの信頼性の向上を図ることが可能となる。

【0050】

なお、本例の液晶パネル10は、有効水平走査期間EHの直前の2Tおよび3Tの2画素周期を共通信号生成期間として設定しているが、1画素周期を共通信号生成期間とするようにしてもよい。また、3画素周期以上の期間を共通信号生成期間とするようにしてもよい。また、有効水平走査期間EHの直後の期間を共通信号生成期間に設定するようにしてもよい。すなわち、有効水平走査期間EHを除く期間に共通信号生成期間を設定するようにすればよい。なお、この場合、液晶パネル10の信号線駆動回路200は、設定された共通信号生成期間に対応するようにサンプル／ホールド駆動信号SHを出力するように構成される。

【0051】

A2. 液晶パネルの第2実施例：

図4は、本発明の第2実施例としての液晶パネルの電氣的な構成を示す概略回路図である。この液晶パネル10Aは、共通信号線駆動回路400Aに含まれるスイッチ410のゲート電極(G)が、第1実施例の液晶パネル10における共通信号線駆動回路400(図1)のようにサンプル／ホールド駆動信号線SHを介して信号線駆動回路200に接続されるのではなく、サンプル／ホールド駆動信号線SVを介して走査線駆動回路500Aに接続されている点に特徴を有している。

【0052】

図5は、液晶パネル10Aの走査線駆動回路500Aの動作を示すタイミングチャートである。図5(a)～(d)、および図5(f-1)～(f-n)は、図2(a)～(d)、および図2(f-1)～(f-n)と同じである。

【0053】

走査線駆動回路500Aは、図5(g)に示すサンプル／ホールド駆動信号線SVに、有効垂直走査期間EVの開始直前の水平走査周期期間5H（共通信号生成期間）においてハイレベルとなるパルス信号を供給する。このとき、共通信号線駆動回路400Aは、表示信号VINとして供給されている共通信号VCOMに相当する信号COMの信号レベルをサンプリングして、ローレベルの期間ホールドすることにより共通信号VCOMを生成する。

【0054】

このように、本例の液晶パネル10Aは、有効垂直走査期間の開始直前に設定された共通信号生成期間において、表示信号線VINとして供給される共通信号VCOMに相当する信号COMの信号レベルをサンプリングすることにより共通信号VCOMを生成することができる。

【0055】

この構成の液晶パネル10Aにおいても、従来の液晶パネルのように、専用に設けられた入力端子から共通信号VCOMを供給する必要がないので、入力端子を削減することができる。これにより、デバイスの信頼性の向上を図ることが可能となる。

【0056】

なお、本例の液晶パネル10Aは、有効垂直走査期間EVの直前の5H期間の1水平走査周期を共通信号生成期間として設定しているが、2水平走査周期以上の期間を共通信号生成期間とするようにしてもよい。また、有効垂直走査期間EVの直後の期間を共通信号生成期間に設定するようにしてもよい。すなわち、有効垂直走査期間EVをのぞく期間内に共通信号生成期間を設定するようにすればよい。なお、この場合、液晶パネル10Aの走査線駆動回路500Aは、設定された共通信号生成期間に対応するようにサンプル／ホールド駆動信号SVを出力するように設定されればよい。

【0057】

B. 液晶パネルを適用した画像表示装置の構成および動作：

B1. 画像表示装置の第1実施例：

図6は、本発明の液晶パネル10を適用した画像表示装置の構成を示す概略ブ

ロック図である。この画像表示装置DP1は、液晶パネル10と、画像処理回路20と、D/Aコンバータ30とを備えている。画像処理回路20は、画像信号変換回路22と、COM信号生成回路24と、タイミング制御回路26とを備えている。タイミング制御回路26は、液晶パネル10に供給するタイミング信号、すなわち、垂直同期信号VRST、水平同期信号HRST、垂直クロック信号VCLK、水平クロック信号HCLKとを生成するとともに、後述するD/Aコンバータ30の出力極性を制御する極性反転信号VINVを生成する。また、タイミング制御回路26は、画像信号変換回路22およびCOM信号生成回路24の動作を制御する。

【0058】

画像信号変換回路22は、図示しないパーソナルコンピュータやビデオレコーダ等の画像供給装置から供給された画像信号を液晶パネル10に供給可能なタイミングの画像信号に変換して出力する。具体的には、アナログ画像信号をデジタル画像データに変換し、変換されたデジタル画像データを同期信号に同期して画像信号変換回路22内の図示しないフレームメモリに書き込む。また、フレームメモリに書き込まれたデジタル画像データを液晶パネル10に供給可能なタイミング、すなわち、タイミング制御回路26で生成されたタイミング信号VRST、HRST、VCLK、HCLKに基づいて読み出す。そして、この書き込みと読み出しの処理の過程において、種々の画像処理を実行する。なお、画像供給装置から供給された画像信号がアナログ画像信号ではなくデジタル画像信号である場合には、アナログ画像信号をデジタル画像データに変換する処理は省略される。

【0059】

COM信号生成回路24は、画像信号変換回路22から出力されたデジタル画像信号VDTに共通信号線VCOMに供給すべき信号レベルに相当する信号COMを合成して、デジタル表示信号VDATAとして出力する。

【0060】

D/Aコンバータ30は、画像処理回路20から出力されたデジタル表示信号VDATAをアナログ画像信号に変換して表示信号VINとして液晶パネル1

0に供給する。またD/Aコンバータ30にはタイミング制御回路26から極性反転信号VINVが供給される。後述するようにD/Aコンバータ30の出力は、タイミング制御回路26から垂直同期信号VRS Tおよび水平同期信号HRS Tに同期して出力される極性反転信号VINVに応じて出力信号の極性が反転される。

【0061】

図7は、液晶パネル10に供給される表示信号VINの生成動作を示すタイミングチャートである。このタイミングチャートは、図2に示した有効垂直走査期間EV中の1番目の水平走査周期期間である6H期間を示している。また、図7(a)および(b)の水平同期信号HRS Tと水平クロック信号HCLKの関係は、図3(a)および(b)と同じである。なお、本実施例における垂直同期信号VRS T、垂直クロック信号VCLK、水平同期信号HRS T、水平クロック信号HCLK、および表示信号VINの関係は、図2と同じであるので図示および説明を省略する。また、有効垂直操作期間EV中の他の水平走査周期期間も、後述する極性反転信号VINVのタイミングを除いて同じであるので説明を省略する。

【0062】

画像信号変換回路22は、図7(c)に示すように、有効水平走査期間EH(画素周期期間 $4T \sim (3+m)T$)において、デジタル画像信号VDTとして各画素周期期間に対応する画素データP1~Pmを出力する。デジタル画像信号VDTは本発明のタイミング変換信号に相当する。COM信号生成回路24は、図7(d)に示すように、有効水平走査期間EHの直前の画素周期期間である2T期間および3T期間(共通信号生成期間)において、デジタル画像信号VDTに共通信号VCOMを表す信号COMを合成して、デジタル表示信号VDATAとして出力する。

【0063】

タイミング制御回路26は、図7(e)に示すように、水平走査周期ごとにハイレベルとローレベルを繰り返す極性反転信号VINVをD/Aコンバータ30に供給する。ただし、極性反転信号VINVは、後述する理由により共通信号生

成期間中は、必ずハイレベルとなるように制御される。すなわち、図7(e)に示す水平走査周期期間6Hは、極性反転信号VINVが水平同期信号HRSTの立ち上がりタイミングでハイレベルからローレベルに変化すべき水平走査周期であるが、画素周期期間1T~3Tまでの期間において、極性反転信号VINVは、ローレベルに変化せずハイレベルが維持される。

【0064】

D/Aコンバータ30は、図7(f)に示すようにデジタル表示信号VDATAをアナログ信号に変換してアナログ表示信号VINとして出力する。このとき、D/Aコンバータ30は、極性反転信号VINVのレベルに応じて出力の極性を反転する。具体的には、以下に示すような処理が行われる。

【0065】

画像信号変換回路22に供給される画像信号は8ビットの階調データを表しており、黒レベルが"0"で白レベルが"255"であるとする。このとき、本実施例の画像表示装置DP1では、画像信号変換回路22およびCOM信号生成回路24は、デジタル画像信号VDTおよびデジタル表示信号VDATAを黒レベルが"0"で白レベルが"255"の8ビットの階調データとして出力する。そして、極性反転信号VINVがローレベルにおいてD/Aコンバータ30は、黒レベルの階調データ"0"に対して中心電圧Vcを出力し、白レベルの階調データ"255"に対して中心電圧Vcよりも電圧Vfだけ高い電圧($V_c + V_f$)を出力する。一方、極性反転信号VINVがハイレベルにおいてD/Aコンバータ30は、黒レベルの階調データ"0"に対して中心電圧Vcを出力し、白レベルの階調データ"255"に対して中心電圧Vcよりも電圧Vfだけ低い電圧($V_c - V_f$)を出力する。すなわち、D/Aコンバータ30は、極性反転信号VINVに応じて、デジタル表示信号VDATAの表すデータを中心電圧Vcを中心に極性が反転するアナログの表示信号VINに変換する。

【0066】

このように表示信号VINの極性を反転させるのは、画素を構成する液晶に長時間DC電圧を印加すると、その液晶に劣化現象が発生するため、劣化現象を抑制して液晶パネルの寿命をのばすためである。なお、この極性反転は、水平走査

周期ごとだけでなく、さらに、フレーム周期、すなわち、垂直走査周期ごとに各画素に印加する極性を反転することが好ましい。

【0067】

なお、上述したように、極性反転信号VINVが水平同期信号HRSTの立ち上がりタイミングでハイレベルからローレベルに変化すべき水平走査周期中の画素周期期間1T～3Tまでの期間において、極性反転信号VINVをローレベルに変化させずにハイレベルを維持するのは、以下の理由による。すなわち、共通信号VCOMの信号レベルは、理想的には表示信号の中心電圧Vcに等しく設定される。しかしながら、実際の共通信号VCOMの信号レベルは、中心電圧Vcよりも低い電圧であることが一般的であるのに対し、極性反転信号VINVがローレベルである場合のD/Aコンバータ30の出力は中心電圧Vcよりも低い電圧となるため、共通信号生成期間に極性反転信号VINVがローレベルであると、実際の共通信号VCOMの信号レベルに相当する電圧をD/Aコンバータ30から出力することができないことになる。そこで、極性反転信号VINVが水平同期信号HRSTの立ち上がりタイミングでハイレベルからローレベルに変化すべき水平走査周期中の画素周期期間1T～3Tまでの期間において、極性反転信号VINVをローレベルに変化させずにハイレベルを維持して、共通信号生成期間において極性反転信号VINVがハイレベルとなるようにしている。なお、本実施例の画像表示装置DP1においては、共通信号VCOMのレベルは、階調データ"55"に設定されている。

【0068】

本実施例の画像表示装置DP1においては、画像処理回路20のタイミング制御回路26によって液晶パネル10に供給するタイミング信号VRST, HRS T, VCLK, HCLKを生成している。また、画像処理回路20のCOM信号生成回路24によって、共通信号生成期間において共通信号VCOMを表す信号COMをデジタル表示信号VDATAとして出力し、このデジタル表示信号VDATAをD/Aコンバータ30によってアナログ信号である表示信号VINに変換している。これにより、液晶パネル10を適用した画像表示装置を構成することができる。

【0069】

以上、説明からわかるように、COM信号生成回路24およびD/Aコンバータ30が本発明の表示信号生成回路に相当し、画像処理回路20およびD/Aコンバータ30が本発明の画像処理装置に相当する。

【0070】

なお、この画像表示装置DP1は、装置の全体を制御するコントローラを備えるようにしてもよい。そして、ユーザがコントローラを介して画像処理回路20のCOM信号生成回路24が生成する信号COMの表す階調データの値を変更（調整）可能とするようにしてもよい。これにより、液晶パネル10の共通信号VCOMの信号レベルを容易に調整することができる。なお、この場合、コントローラが本発明の調整制御回路に相当する。

【0071】

B2. 画像表示装置の第2実施例：

図8は、本発明の液晶パネル10を適用した別の画像表示装置の構成を示す概略ブロック図である。この画像表示装置DP2は、液晶パネル10と、画像処理回路20Aと、D/Aコンバータ30Aとを備えている。また、画像処理回路20Aは、画像信号変換回路22Aと、COM信号生成回路24Aと、タイミング制御回路26Aとを備えている。画像処理回路20Aの各回路22A～26AおよびD/Aコンバータ30Aの各機能は画像処理回路20の各回路22～26およびD/Aコンバータ30（図6）と基本的に同じである。以下では、画像表示装置DP2が画像表示装置DP1と異なる点について説明する。

【0072】

図9は、液晶パネル10に供給される表示信号VINの生成動作を示すタイミングチャートである。このタイミングチャートも、図7のタイミングチャートと同様に、図2に示した有効垂直走査期間EV中の1番目の水平走査周期期間である6H期間を示している。図9（a）および（b）の水平同期信号HRSTおよび水平クロック信号HCLKの関係も、図3（a）および（b）と同じである。なお、本実施例における垂直同期信号VRST、垂直クロック信号VCLK、水平同期信号HRST、水平クロック信号HCLK、および表示信号VINの関係

も、図2と同じであるので図示および説明を省略する。

【0073】

ここで、図9(c)のデジタル画像信号VDTおよび図9(d)のデジタル表示信号VDATAのタイミングは、図7(c)および図7(d)と同じである。

【0074】

本実施例の画像表示装置DP2における画像処理回路20Aの画像信号変換回路22AおよびCOM信号生成回路24Aは、第1実施例の画像表示装置DP1における画像処理回路20の画像信号変換回路22およびCOM信号生成回路24と出力する階調データの値が、以下で説明するように異なっている。

【0075】

ここで、画像信号変換回路22Aに供給される画像信号も8ビットの階調データを表しており、黒レベルが"0"で白レベルが"255"の階調データであるとする。このとき、本実施例の画像表示装置DP2では、画像信号変換回路22Aは、デジタル画像信号VDTおよびデジタル表示信号VDATAを9ビットの階調データとして出力する。具体的には、画像信号変換回路22Aは、表示信号の極性を反転しない場合、黒レベルの階調データを"255"とし白レベルの階調データを"511"に対応させて出力する。そして、表示信号の極性を反転する場合、黒レベルの階調データを"255"とし白レベルの階調データを"0"として出力する。また、COM信号生成回路24Aもこれに対応して、共通信号VCOMを示す階調データを9ビットのデータとして出力する。本実施例においては、共通信号VCOMのレベルは、階調データで"200"に設定されている。

【0076】

D/Aコンバータ30Aは、画像処理回路20Aから出力される9ビットのデジタル画像信号VDATAをアナログ信号の表示信号VINに変換する。これにより、黒レベルに対応する階調データ"255"を中心電圧 V_c に変換し、正極性の白レベルに対応する階調データ"511"を電圧 $(V_c + V_f)$ に変換し、負極性の白レベルに対応する階調データ"0"を電圧 $(V_c - V_f)$ に変換す

る。これにより、画像処理回路20AおよびD/Aコンバータ30Aは、液晶パネル10に供給する表示信号VINを画像処理回路20およびD/Aコンバータ30による場合と同様に生成することが可能である。

【0077】

本実施例の画像表示装置DP2においても、画像処理回路20Aのタイミング制御回路26Aによって液晶パネル10に供給するタイミング信号VRST, H RST, VCLK, HCLKを生成している。また、画像処理回路20AのCOM信号生成回路24Aによって、共通信号生成期間において共通信号VCOMを表す信号COMをデジタル表示信号VDATAとして出力し、このデジタル表示信号VDATAをD/Aコンバータ30Aによってアナログ信号である表示信号VINに変換している。これにより、液晶パネル10を適用した画像表示装置を構成することができる。

【0078】

以上、説明からわかるように、COM信号生成回路24AおよびD/Aコンバータ30Aが本発明の表示信号生成回路に相当し、画像処理回路20AおよびD/Aコンバータ30Aが本発明の画像処理装置に相当する。

【0079】

なお、この画像表示装置DP2も、第1実施例の画像表示装置DP1と同様に、装置の全体を制御するコントローラを備えるようにしてもよい。そして、ユーザがコントローラを介して画像処理回路20AのCOM信号生成回路24Aが生成する信号COMの表す階調データの値を変更（調整）可能とするようにしてもよい。これにより、液晶パネル10の共通信号VCOMの信号レベルを容易に調整することができる。

【0080】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0081】

上記実施例の画像表示装置DP1およびDP2は、第1実施例としての液晶パ

ネル 1 0 を適用した画像表示装置を示しているが、同様に第 2 実施例としての液晶パネル 1 0 A を適用して画像表示装置を構成することも可能である。液晶パネル 1 0 A を適用して画像表示装置を構成する場合における画像処理回路の COM 信号生成回路は、液晶パネル 1 0 A に対応する共通信号生成期間において共通信号 VCOM に相当する信号 COM を生成するようにすればよい。

【 0 0 8 2 】

また、上記実施例では、本発明の液晶パネル 1 0 を適用した電子機器として、外部の画像供給装置から供給された画像を表示する画像表示装置を例に説明しているがこれに限定されるものではなく、画像処理装置と、の D/A コンバータと、液晶パネルとを備える種々の電子機器に適用可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例としての液晶パネルの電氣的な構成を示す概略回路図である。

【図 2】

液晶パネル 1 0 の走査線駆動回路 5 0 0 の動作を示すタイミングチャートである。

【図 3】

液晶パネル 1 0 の信号線駆動回路 2 0 0 および共通信号線駆動回路 4 0 0 の動作を示すタイミングチャートである。

【図 4】

本発明の第 2 実施例としての液晶パネルの電氣的な構成を示す概略回路図である。

【図 5】

液晶パネル 1 0 A の走査線駆動回路 5 0 0 A の動作を示すタイミングチャートである。

【図 6】

本発明の液晶パネル 1 0 を適用した画像表示装置の構成を示す概略ブロック図である。

【図 7】

液晶パネル 1 0 に供給される表示信号 V I N の生成動作を示すタイミングチャートである。

【図 8】

本発明の液晶パネル 1 0 を適用した別の画像表示装置の構成を示す概略ブロック図である。

【図 9】

液晶パネル 1 0 に供給される表示信号 V I N の生成動作を示すタイミングチャートである。

【符号の説明】

- 1 0 …液晶パネル
- 1 0 A …液晶パネル
- 1 0 …第 1 の液晶パネル
- 2 0 …画像処理回路
- 2 0 A …画像処理回路
- 2 2 …画像信号変換回路
- 2 2 A …画像信号変換回路
- 2 4 …COM 信号生成回路
- 2 4 A …COM 信号生成回路回路
- 2 6 …タイミング制御回路
- 2 6 A …タイミング制御回路
- 1 0 0 …画像表示部
- P E …画素
- 1 2 0 …液晶画素
- 1 2 1 …画素電極
- 1 2 2 …対向電極
- 2 0 0 …信号線駆動回路
- 3 0 0 …サンプリング回路
- 4 0 0 …共通信号線駆動回路

4 0 0 A … 共 通 信 号 線 駆 動 回 路

4 1 0 … ス イ ッ チ

4 2 0 … コ ン デ ン サ

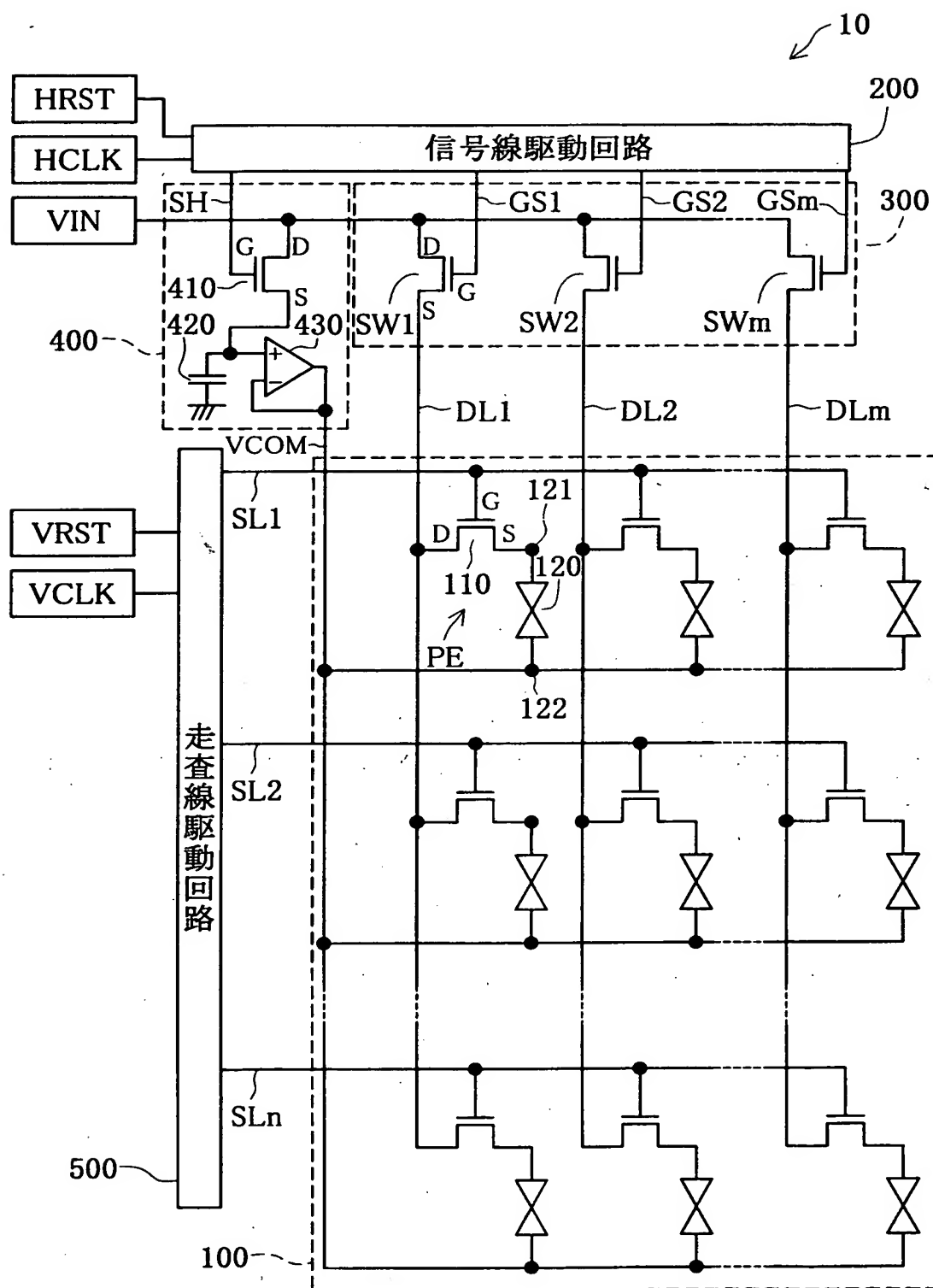
4 3 0 … バ ッ フ ァ ア ンプ

5 0 0 … 走 査 線 駆 動 回 路

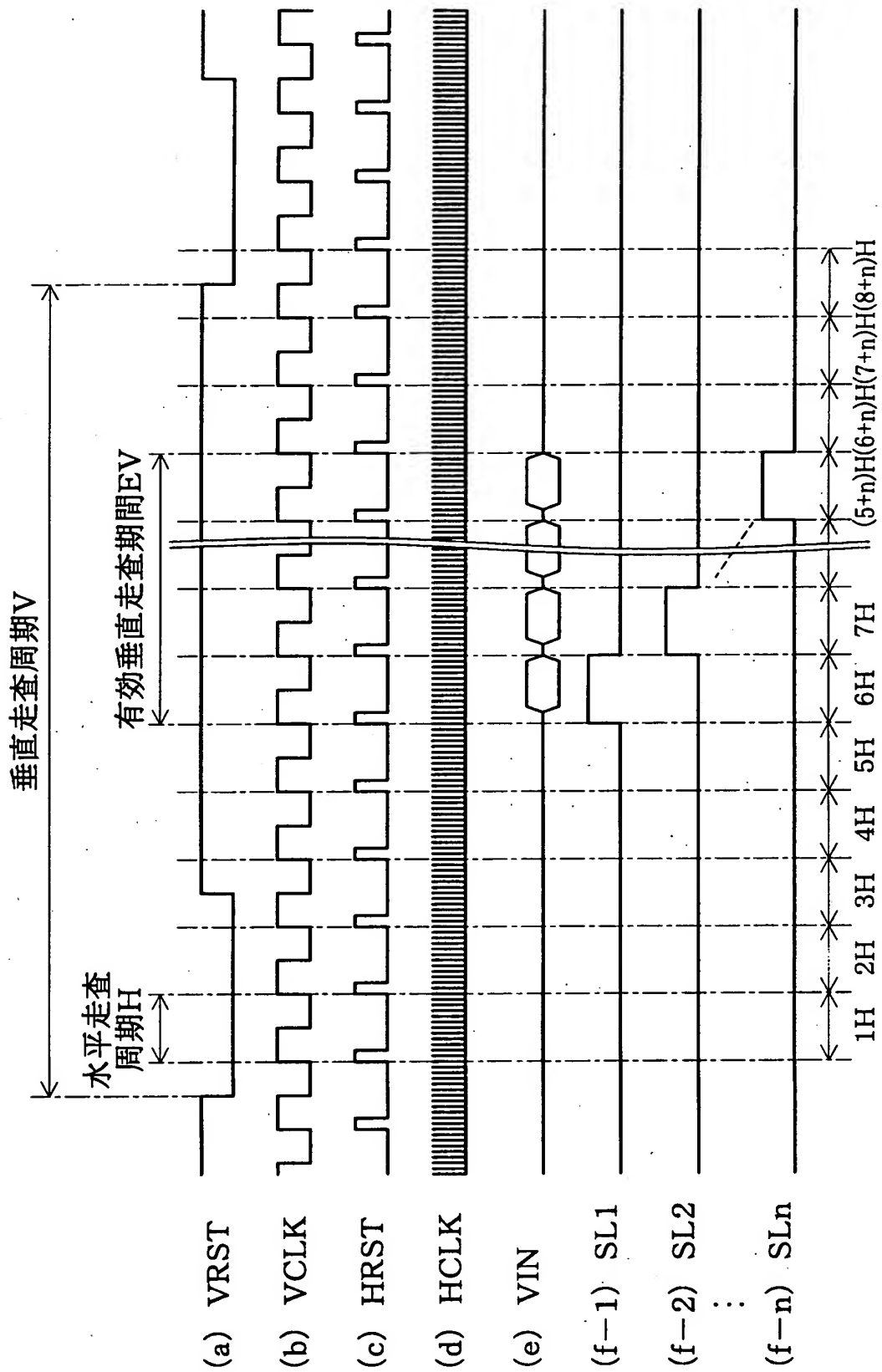
5 0 0 A … 走 査 線 駆 動 回 路

【書類名】 図面

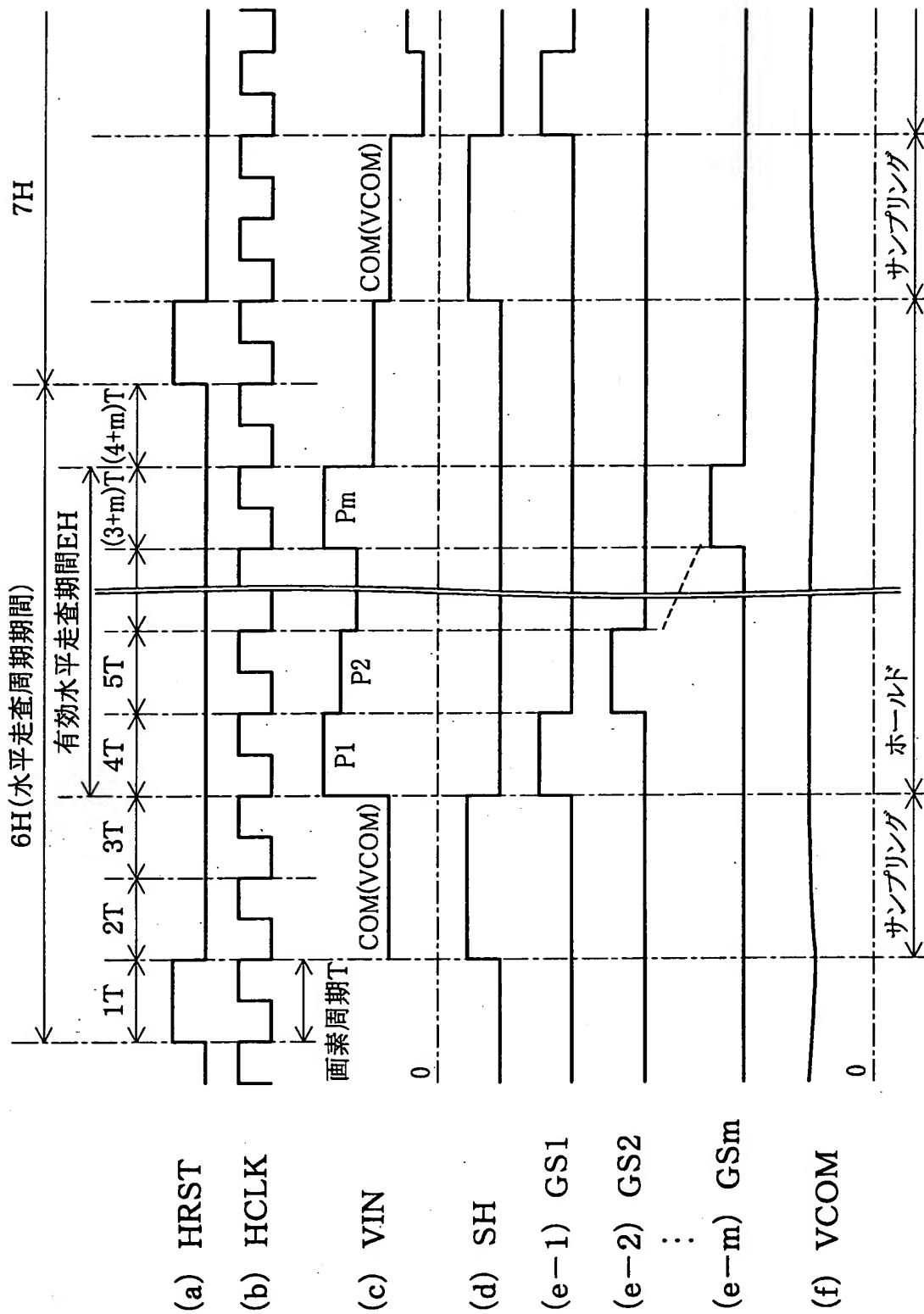
【図1】



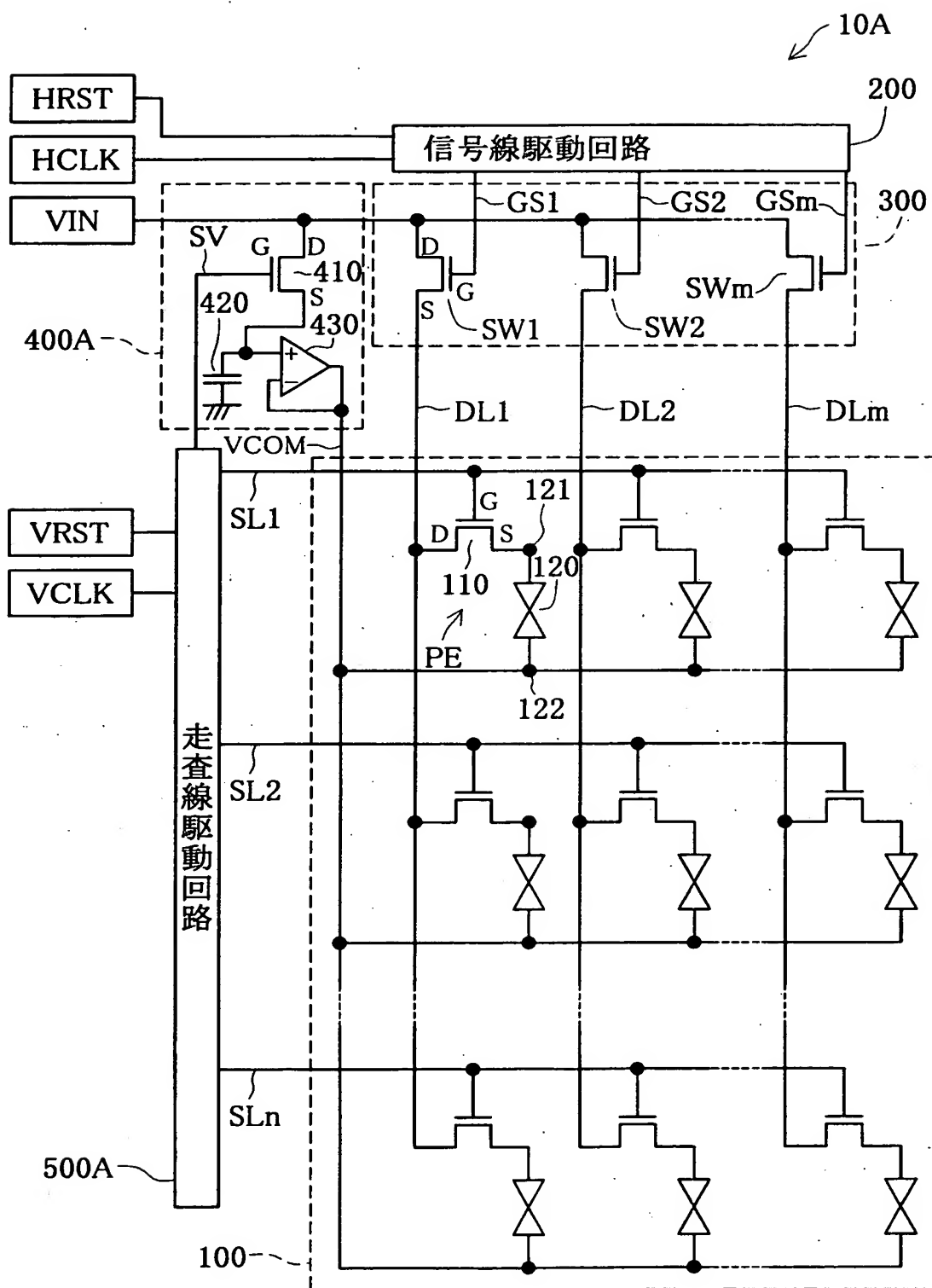
【図 2】



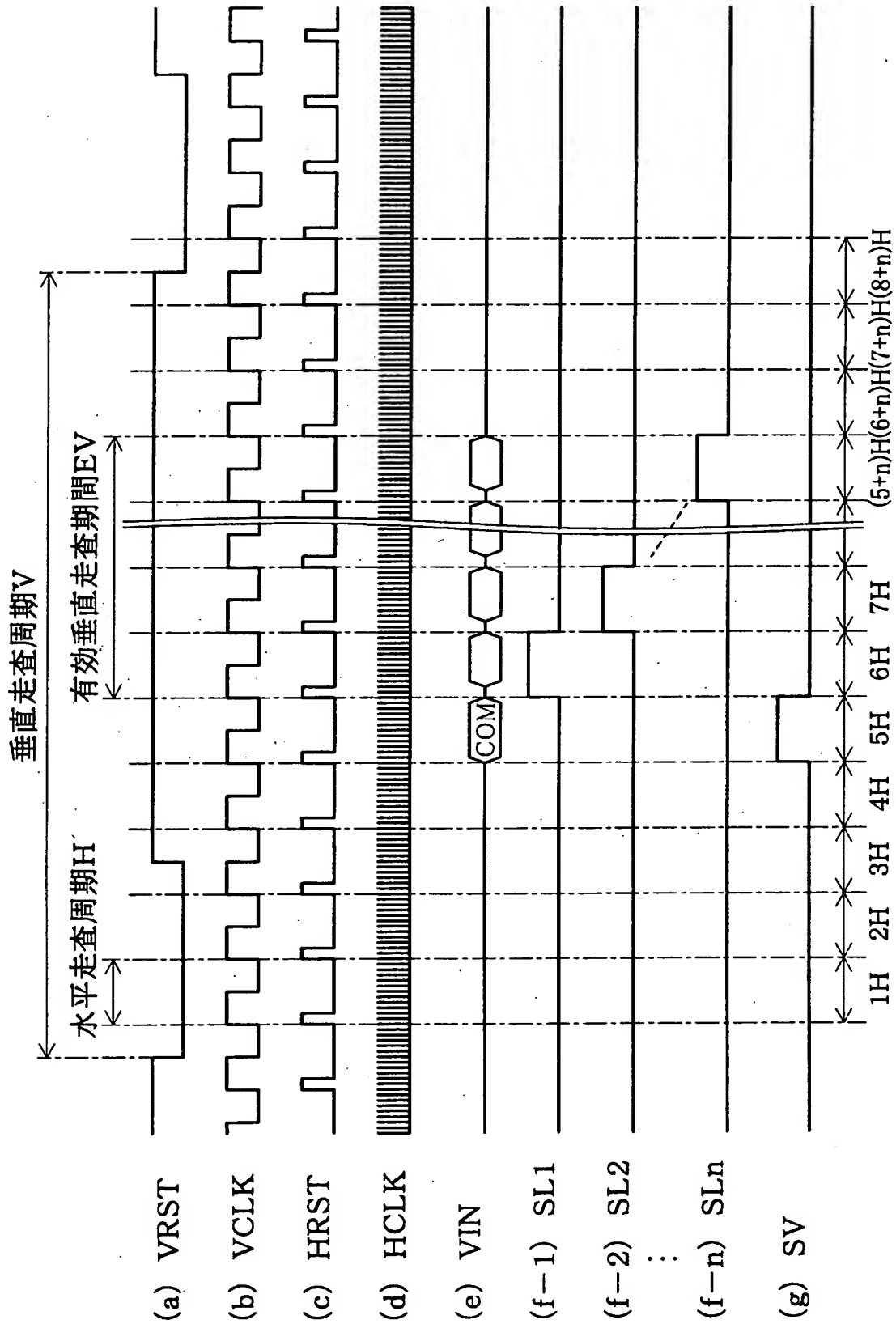
【図 3】



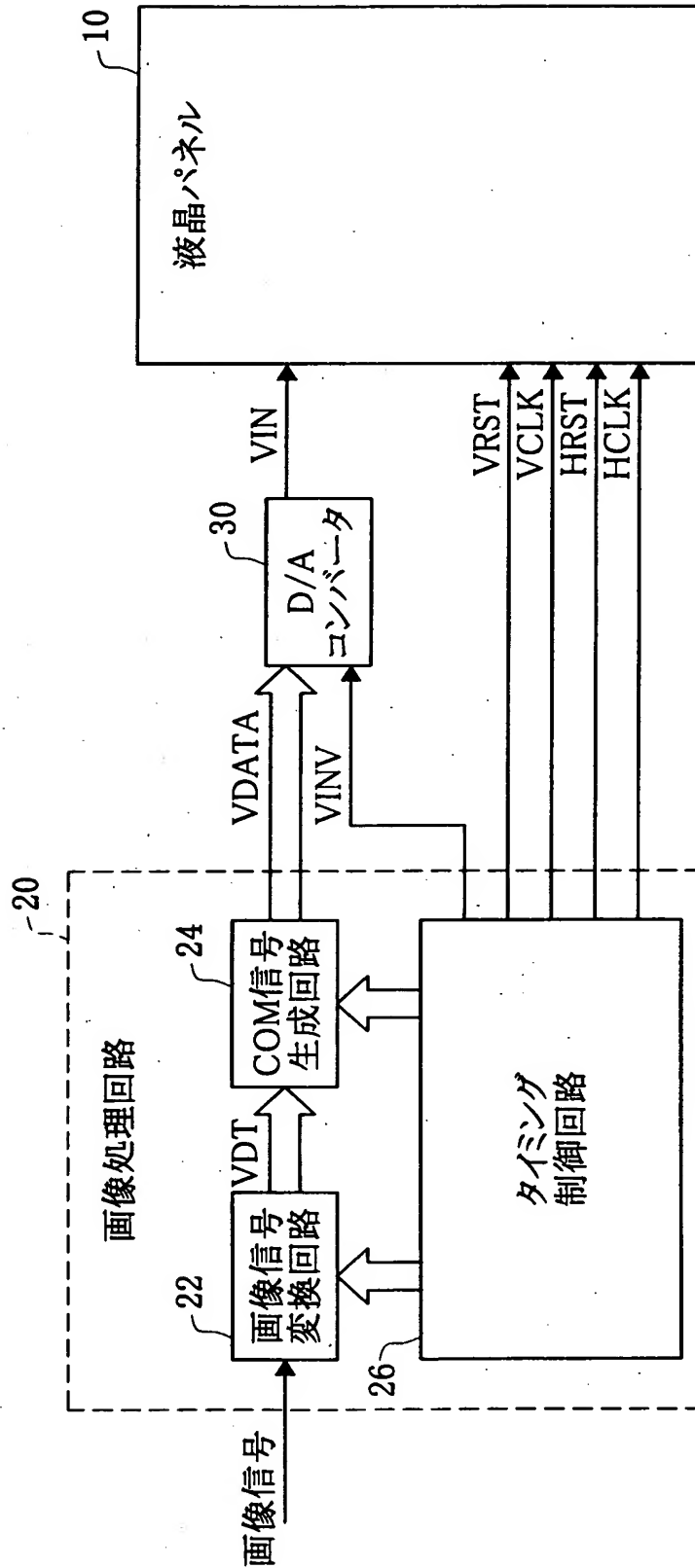
【図 4】



【図 5】

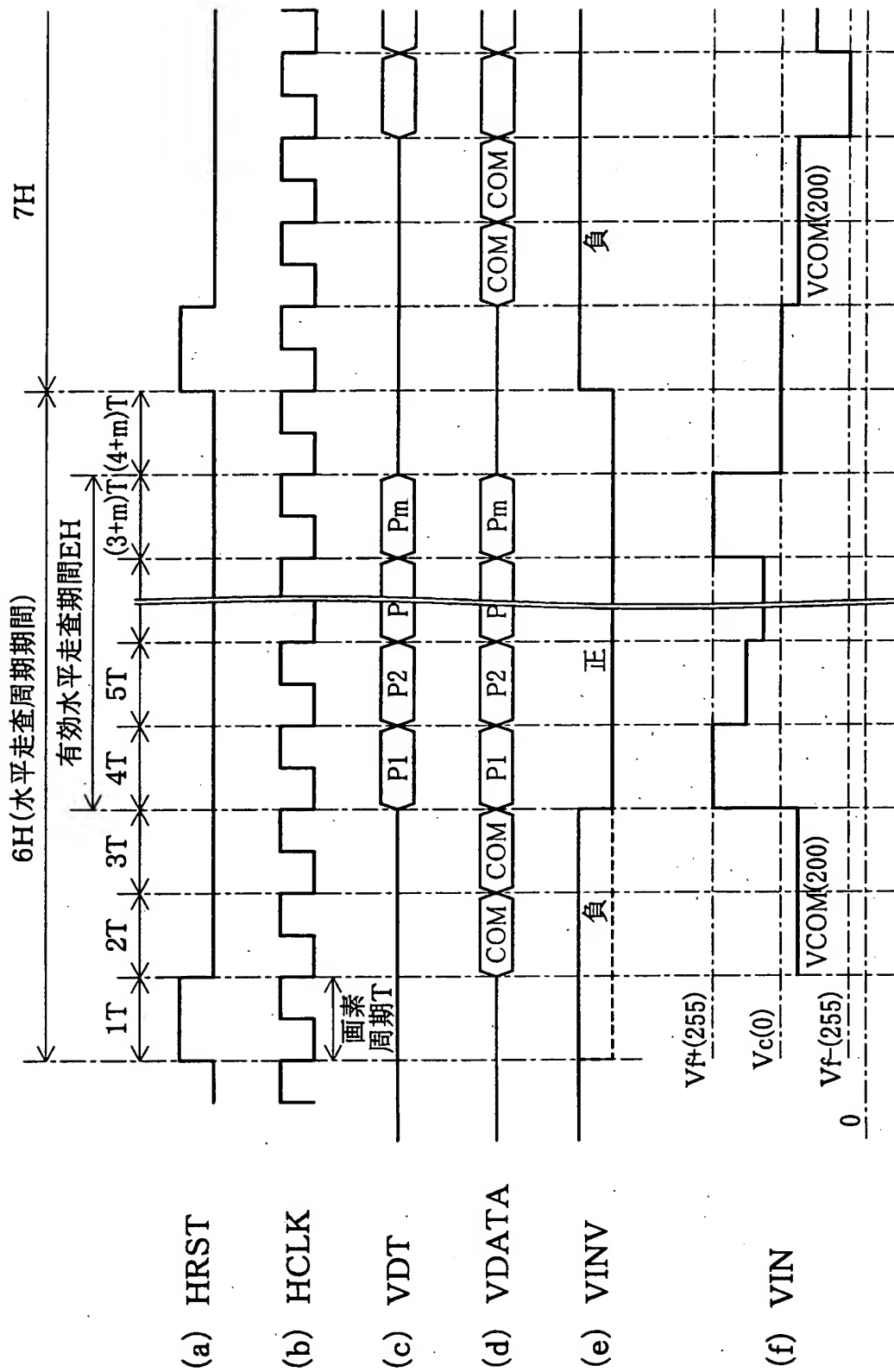


【図 6】



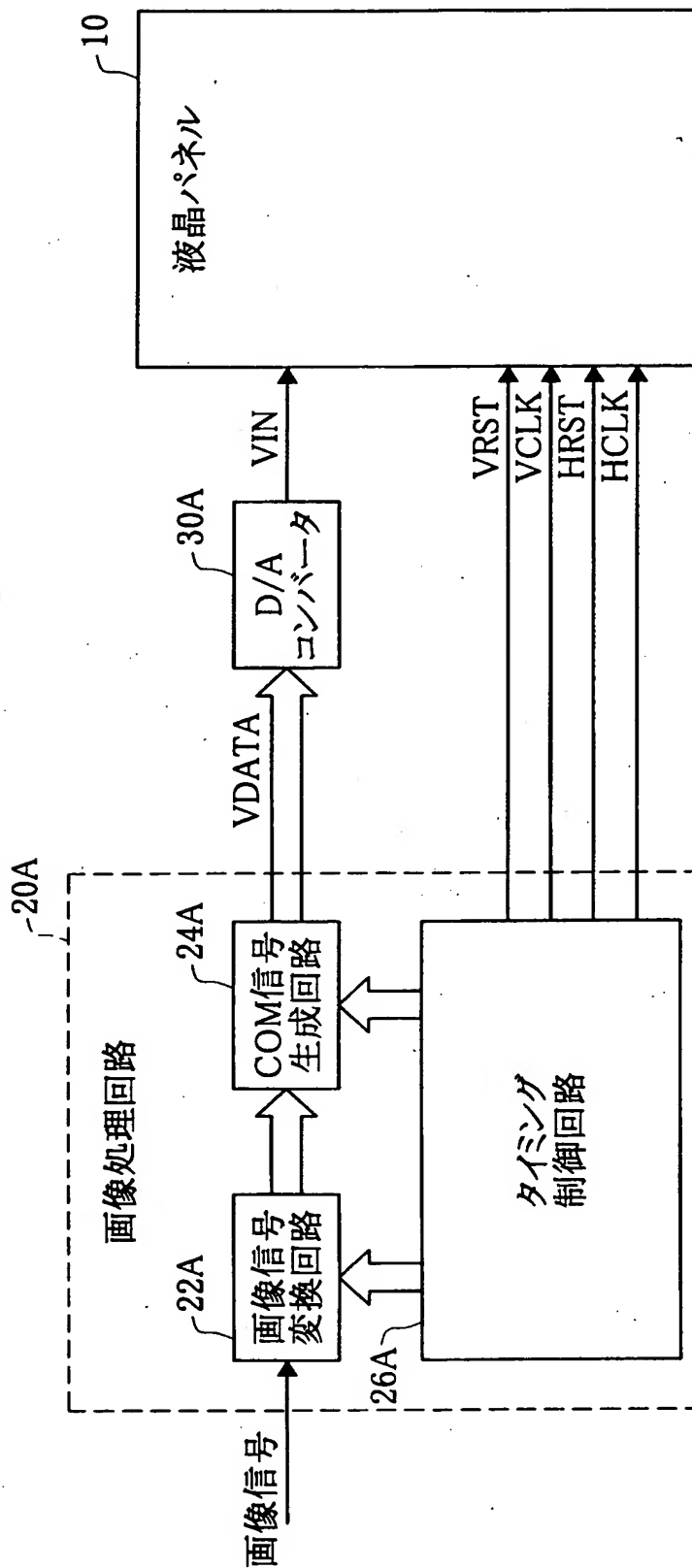
DPI

【図 7】

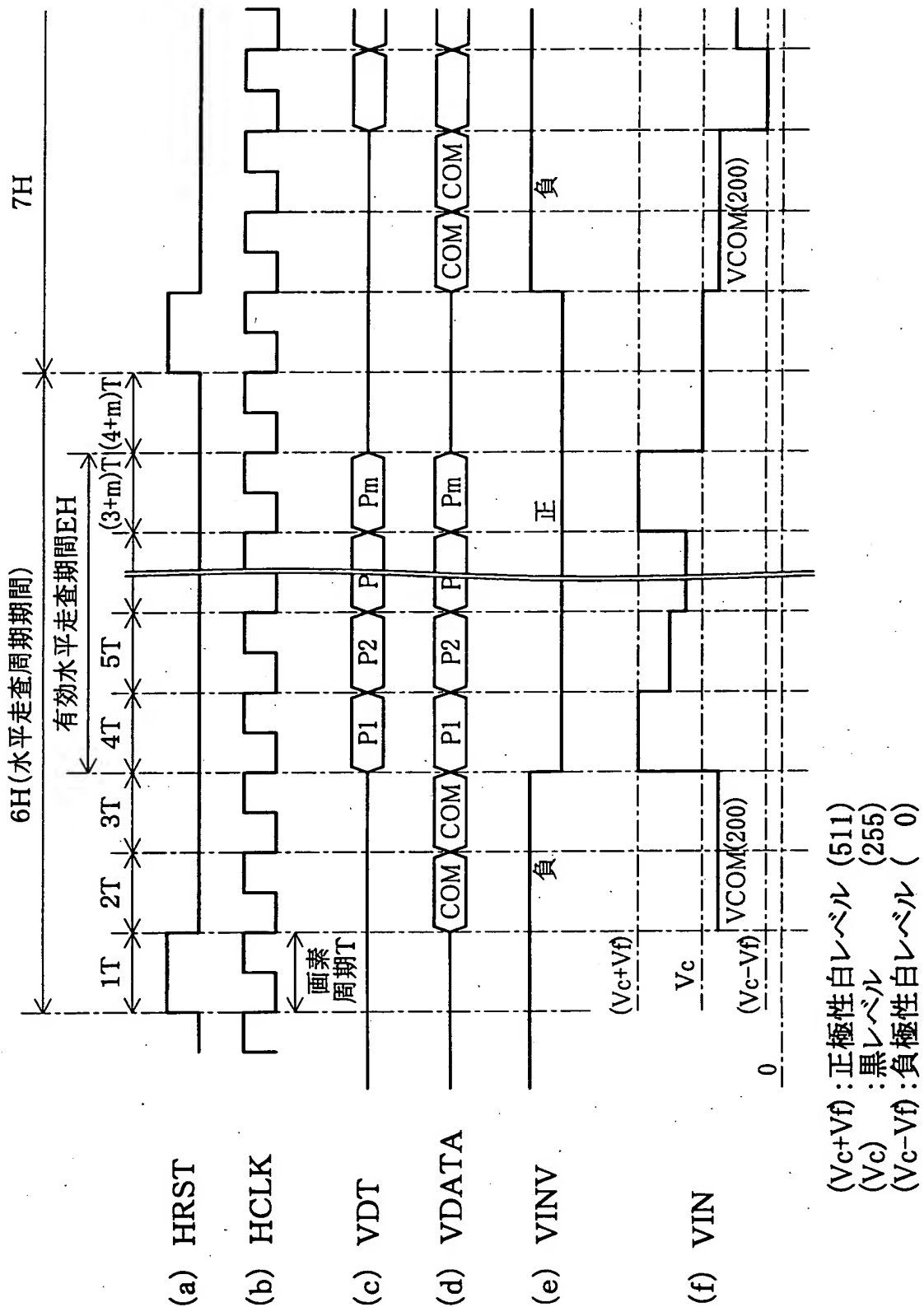


【図 8】

DP2



【図 9】



【書類名】 要約書

【要約】

【課題】 液晶パネルの信頼性の向上を図る。

【解決手段】 複数の画素を有する液晶デバイスは、前記複数の画素に対応して与えるべき複数の画素信号を含む表示信号であって、前記表示信号中の、前記画素信号が含まれない所定の期間に、前記複数の画素に共通に与えるべき共通信号を生成するための所定の信号が埋め込まれた表示信号を入力する入力端子を備える。また、前記複数の画素に共通に接続される共通信号線と、前記入力端子から入力される前記表示信号に含まれる前記所定の信号に基づいて前記共通信号を生成して、生成された前記共通信号を前記共通信号線に供給する共通信号線駆動回路とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社